

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011309195      \*\*Image available\*\*

WPI Acc No: 1997-287100 199726

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 2000-288763;

2000-288764

NRPX Acc No: N97-237814

Semiconductor device e.g. thin-film transistor for liquid crystal display

- uses tungsten silicide film in absorbing heat and transferring it to

polycrystalline silicon film during impurity activation

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL )

Inventor: HIRANO K; MORIMOTO Y; SOTANI N; YAMAJI T; YONEDA K

Number of Countries: 003    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 9107108</b>	A	19970422	JP 96205073	A	19960802	199726 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199832
JP 3096640	B2	20001010	JP 96205073	A	19960802	200052

Priority Applications (No Type Date): JP 95199981 A 19950804; JP 95167513 A

19950703; JP 95199979 A 19950804; JP 95199980 A 19950804; JP 95199982 A

19950804

Patent Details:

Patent No	Kind	Ln	Pg	Main IPC	Filing Notes
-----------	------	----	----	----------	--------------

JP 9107108	A	13		H01L-029 786	
------------	---	----	--	--------------	--

KR 97008658	A			H01L-029 78	
-------------	---	--	--	-------------	--

US 5771110	A			H01L-029 786	
------------	---	--	--	--------------	--

JP 3096640	B2	12		H01L-029 786	Previous Publ. patent JP 9107108
------------	----	----	--	--------------	----------------------------------

Abstract (Basic): JP 9107108 A

The device has a tungsten silicide film (2) formed between a glass substrate (1) and a thin film transistor (A). The film absorbs heat during rapid thermal annealing for impurity activation.

The absorbed heat is used to uniformly and directly heat a polycrystalline Si film (4).

ADVANTAGE - Obtains good quality semiconductor device by making activation state of impurity area uniform. Obtains S-film for short time. Prevents deformation of substrate during heat-treatment. Provides good quality liquid crystal display device.

Dwg.1 20

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL; DISPLAY; TUNGSTEN; SILICIDE; FILM; ABSORB; HEAT; TRANSFER;

POLYCRYSTALLINE; SILICON; FILM; IMPURE; ACTIVATION

Index Terms Additional Words: LCD

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029 78; H01L-029 786

International Patent Class (Additional): G02F-001 136; G02F-001 1368;

H01L 29/02; H01L 29/03; H01L 29/04; H01L 29/05; H01L 29/06; H01L 29/07; H01L 29/08; H01L 29/09; H01L 29/10; H01L 29/11; H01L 29/12; H01L 29/13; H01L 29/14; H01L 29/15; H01L 29/16; H01L 29/17; H01L 29/18; H01L 29/19; H01L 29/20; H01L 29/21; H01L 29/22; H01L 29/23; H01L 29/24; H01L 29/25; H01L 29/26; H01L 29/27; H01L 29/28; H01L 29/29; H01L 29/30; H01L 29/31; H01L 29/32; H01L 29/33; H01L 29/34; H01L 29/35; H01L 29/36; H01L 29/37; H01L 29/38; H01L 29/39; H01L 29/40; H01L 29/41; H01L 29/42; H01L 29/43; H01L 29/44; H01L 29/45; H01L 29/46; H01L 29/47; H01L 29/48; H01L 29/49; H01L 29/50; H01L 29/51; H01L 29/52; H01L 29/53; H01L 29/54; H01L 29/55; H01L 29/56; H01L 29/57; H01L 29/58; H01L 29/59; H01L 29/60; H01L 29/61; H01L 29/62; H01L 29/63; H01L 29/64; H01L 29/65; H01L 29/66; H01L 29/67; H01L 29/68; H01L 29/69; H01L 29/70; H01L 29/71; H01L 29/72; H01L 29/73; H01L 29/74; H01L 29/75; H01L 29/76; H01L 29/77; H01L 29/78; H01L 29/79; H01L 29/80; H01L 29/81; H01L 29/82; H01L 29/83; H01L 29/84; H01L 29/85; H01L 29/86; H01L 29/87; H01L 29/88; H01L 29/89; H01L 29/90; H01L 29/91; H01L 29/92; H01L 29/93; H01L 29/94; H01L 29/95; H01L 29/96; H01L 29/97; H01L 29/98; H01L 29/99; H01L 30/00; H01L 30/01; H01L 30/02; H01L 30/03; H01L 30/04; H01L 30/05; H01L 30/06; H01L 30/07; H01L 30/08; H01L 30/09; H01L 30/10; H01L 30/11; H01L 30/12; H01L 30/13; H01L 30/14; H01L 30/15; H01L 30/16; H01L 30/17; H01L 30/18; H01L 30/19; H01L 30/20; H01L 30/21; H01L 30/22; H01L 30/23; H01L 30/24; H01L 30/25; H01L 30/26; H01L 30/27; H01L 30/28; H01L 30/29; H01L 30/30; H01L 30/31; H01L 30/32; H01L 30/33; H01L 30/34; H01L 30/35; H01L 30/36; H01L 30/37; H01L 30/38; H01L 30/39; H01L 30/40; H01L 30/41; H01L 30/42; H01L 30/43; H01L 30/44; H01L 30/45; H01L 30/46; H01L 30/47; H01L 30/48; H01L 30/49; H01L 30/50; H01L 30/51; H01L 30/52; H01L 30/53; H01L 30/54; H01L 30/55; H01L 30/56; H01L 30/57; H01L 30/58; H01L 30/59; H01L 30/60; H01L 30/61; H01L 30/62; H01L 30/63; H01L 30/64; H01L 30/65; H01L 30/66; H01L 30/67; H01L 30/68; H01L 30/69; H01L 30/70; H01L 30/71; H01L 30/72; H01L 30/73; H01L 30/74; H01L 30/75; H01L 30/76; H01L 30/77; H01L 30/78; H01L 30/79; H01L 30/80; H01L 30/81; H01L 30/82; H01L 30/83; H01L 30/84; H01L 30/85; H01L 30/86; H01L 30/87; H01L 30/88; H01L 30/89; H01L 30/90; H01L 30/91; H01L 30/92; H01L 30/93; H01L 30/94; H01L 30/95; H01L 30/96; H01L 30/97; H01L 30/98; H01L 30/99; H01L 31/00; H01L 31/01; H01L 31/02; H01L 31/03; H01L 31/04; H01L 31/05; H01L 31/06; H01L 31/07; H01L 31/08; H01L 31/09; H01L 31/10; H01L 31/11; H01L 31/12; H01L 31/13; H01L 31/14; H01L 31/15; H01L 31/16; H01L 31/17; H01L 31/18; H01L 31/19; H01L 31/20; H01L 31/21; H01L 31/22; H01L 31/23; H01L 31/24; H01L 31/25; H01L 31/26; H01L 31/27; H01L 31/28; H01L 31/29; H01L 31/30; H01L 31/31; H01L 31/32; H01L 31/33; H01L 31/34; H01L 31/35; H01L 31/36; H01L 31/37; H01L 31/38; H01L 31/39; H01L 31/40; H01L 31/41; H01L 31/42; H01L 31/43; H01L 31/44; H01L 31/45; H01L 31/46; H01L 31/47; H01L 31/48; H01L 31/49; H01L 31/50; H01L 31/51; H01L 31/52; H01L 31/53; H01L 31/54; H01L 31/55; H01L 31/56; H01L 31/57; H01L 31/58; H01L 31/59; H01L 31/60; H01L 31/61; H01L 31/62; H01L 31/63; H01L 31/64; H01L 31/65; H01L 31/66; H01L 31/67; H01L 31/68; H01L 31/69; H01L 31/70; H01L 31/71; H01L 31/72; H01L 31/73; H01L 31/74; H01L 31/75; H01L 31/76; H01L 31/77; H01L 31/78; H01L 31/79; H01L 31/80; H01L 31/81; H01L 31/82; H01L 31/83; H01L 31/84; H01L 31/85; H01L 31/86; H01L 31/87; H01L 31/88; H01L 31/89; H01L 31/90; H01L 31/91; H01L 31/92; H01L 31/93; H01L 31/94; H01L 31/95; H01L 31/96; H01L 31/97; H01L 31/98; H01L 31/99; H01L 32/00; H01L 32/01; H01L 32/02; H01L 32/03; H01L 32/04; H01L 32/05; H01L 32/06; H01L 32/07; H01L 32/08; H01L 32/09; H01L 32/10; H01L 32/11; H01L 32/12; H01L 32/13; H01L 32/14; H01L 32/15; H01L 32/16; H01L 32/17; H01L 32/18; H01L 32/19; H01L 32/20; H01L 32/21; H01L 32/22; H01L 32/23; H01L 32/24; H01L 32/25; H01L 32/26; H01L 32/27; H01L 32/28; H01L 32/29; H01L 32/30; H01L 32/31; H01L 32/32; H01L 32/33; H01L 32/34; H01L 32/35; H01L 32/36; H01L 32/37; H01L 32/38; H01L 32/39; H01L 32/40; H01L 32/41; H01L 32/42; H01L 32/43; H01L 32/44; H01L 32/45; H01L 32/46; H01L 32/47; H01L 32/48; H01L 32/49; H01L 32/50; H01L 32/51; H01L 32/52; H01L 32/53; H01L 32/54; H01L 32/55; H01L 32/56; H01L 32/57; H01L 32/58; H01L 32/59; H01L 32/60; H01L 32/61; H01L 32/62; H01L 32/63; H01L 32/64; H01L 32/65; H01L 32/66; H01L 32/67; H01L 32/68; H01L 32/69; H01L 32/70; H01L 32/71; H01L 32/72; H01L 32/73; H01L 32/74; H01L 32/75; H01L 32/76; H01L 32/77; H01L 32/78; H01L 32/79; H01L 32/80; H01L 32/81; H01L 32/82; H01L 32/83; H01L 32/84; H01L 32/85; H01L 32/86; H01L 32/87; H01L 32/88; H01L 32/89; H01L 32/90; H01L 32/91; H01L 32/92; H01L 32/93; H01L 32/94; H01L 32/95; H01L 32/96; H01L 32/97; H01L 32/98; H01L 32/99; H01L 33/00; H01L 33/01; H01L 33/02; H01L 33/03; H01L 33/04; H01L 33/05; H01L 33/06; H01L 33/07; H01L 33/08; H01L 33/09; H01L 33/10; H01L 33/11; H01L 33/12; H01L 33/13; H01L 33/14; H01L 33/15; H01L 33/16; H01L 33/17; H01L 33/18; H01L 33/19; H01L 33/20; H01L 33/21; H01L 33/22; H01L 33/23; H01L 33/24; H01L 33/25; H01L 33/26; H01L 33/27; H01L 33/28; H01L 33/29; H01L 33/30; H01L 33/31; H01L 33/32; H01L 33/33; H01L 33/34; H01L 33/35; H01L 33/36; H01L 33/37; H01L 33/38; H01L 33/39; H01L 33/40; H01L 33/41; H01L 33/42; H01L 33/43; H01L 33/44; H01L 33/45; H01L 33/46; H01L 33/47; H01L 33/48; H01L 33/49; H01L 33/50; H01L 33/51; H01L 33/52; H01L 33/53; H01L 33/54; H01L 33/55; H01L 33/56; H01L 33/57; H01L 33/58; H01L 33/59; H01L 33/60; H01L 33/61; H01L 33/62; H01L 33/63; H01L 33/64; H01L 33/65; H01L 33/66; H01L 33/67; H01L 33/68; H01L 33/69; H01L 33/70; H01L 33/71; H01L 33/72; H01L 33/73; H01L 33/74; H01L 33/75; H01L 33/76; H01L 33/77; H01L 33/78; H01L 33/79; H01L 33/80; H01L 33/81; H01L 33/82; H01L 33/83; H01L 33/84; H01L 33/85; H01L 33/86; H01L 33/87; H01L 33/88; H01L 33/89; H01L 33/90; H01L 33/91; H01L 33/92; H01L 33/93; H01L 33/94; H01L 33/95; H01L 33/96; H01L 33/97; H01L 33/98; H01L 33/99; H01L 34/00; H01L 34/01; H01L 34/02; H01L 34/03; H01L 34/04; H01L 34/05; H01L 34/06; H01L 34/07; H01L 34/08; H01L 34/09; H01L 34/10; H01L 34/11; H01L 34/12; H01L 34/13; H01L 34/14; H01L 34/15; H01L 34/16; H01L 34/17; H01L 34/18; H01L 34/19; H01L 34/20; H01L 34/21; H01L 34/22; H01L 34/23; H01L 34/24; H01L 34/25; H01L 34/26; H01L 34/27; H01L 34/28; H01L 34/29; H01L 34/30; H01L 34/31; H01L 34/32; H01L 34/33; H01L 34/34; H01L 34/35; H01L 34/36; H01L 34/37; H01L 34/38; H01L 34/39; H01L 34/40; H01L 34/41; H01L 34/42; H01L 34/43; H01L 34/44; H01L 34/45; H01L 34/46; H01L 34/47; H01L 34/48; H01L 34/49; H01L 34/50; H01L 34/51; H01L 34/52; H01L 34/53; H01L 34/54; H01L 34/55; H01L 34/56; H01L 34/57; H01L 34/58; H01L 34/59; H01L 34/60; H01L 34/61; H01L 34/62; H01L 34/63; H01L 34/64; H01L 34/65; H01L 34/66; H01L 34/67; H01L 34/68; H01L 34/69; H01L 34/70; H01L 34/71; H01L 34/72; H01L 34/73; H01L 34/74; H01L 34/75; H01L 34/76; H01L 34/77; H01L 34/78; H01L 34/79; H01L 34/80; H01L 34/81; H01L 34/82; H01L 34/83; H01L 34/84; H01L 34/85; H01L 34/86; H01L 34/87; H01L 34/88; H01L 34/89; H01L 34/90; H01L 34/91; H01L 34/92; H01L 34/93; H01L 34/94; H01L 34/95; H01L 34/96; H01L 34/97; H01L 34/98; H01L 34/99; H01L 35/00; H01L 35/01; H01L 35/02; H01L 35/03; H01L 35/04; H01L 35/05; H01L 35/06; H01L 35/07; H01L 35/08; H01L 35/09; H01L 35/10; H01L 35/11; H01L 35/12; H01L 35/13; H01L 35/14; H01L 35/15; H01L 35/16; H01L 35/17; H01L 35/18; H01L 35/19; H01L 35/20; H01L 35/21; H01L 35/22; H01L 35/23; H01L 35/24; H01L 35/25; H01L 35/26; H01L 35/27; H01L 35/28; H01L 35/29; H01L 35/30; H01L 35/31; H01L 35/32; H01L 35/33; H01L 35/34; H01L 35/35; H01L 35/36; H01L 35/37; H01L 35/38; H01L 35/39; H01L 35/40; H01L 35/41; H01L 35/42; H01L 35/43; H01L 35/44; H01L 35/45; H01L 35/46; H01L 35/47; H01L 35/48; H01L 35/49; H01L 35/50; H01L 35/51; H01L 35/52; H01L 35/53; H01L 35/54; H01L 35/55; H01L 35/56; H01L 35/57; H01L 35/58; H01L 35/59; H01L 35/60; H01L 35/61; H01L 35/62; H01L 35/63; H01L 35/64; H01L 35/65; H01L 35/66; H01L 35/67; H01L 35/68; H01L 35/69; H01L 35/70; H01L 35/71; H01L 35/72; H01L 35/73; H01L 35/74; H01L 35/75; H01L 35/76; H01L 35/77; H01L 35/78; H01L 35/79; H01L 35/80; H01L 35/81; H01L 35/82; H01L 35/83; H01L 35/84; H01L 35/85; H01L 35/86; H01L 35/87; H01L 35/88; H01L 35/89; H01L 35/90; H01L 35/91; H01L 35/92; H01L 35/93; H01L 35/94; H01L 35/95; H01L 35/96; H01L 35/97; H01L 35/98; H01L 35/99; H01L 36/00; H01L 36/01; H01L 36/02; H01L 36/03; H01L 36/04; H01L 36/05; H01L 36/06; H01L 36/07; H01L 36/08; H01L 36/09; H01L 36/10; H01L 36/11; H01L 36/12; H01L 36/13; H01L 36/14; H01L 36/15; H01L 36/16; H01L 36/17; H01L 36/18; H01L 36/19; H01L 36/20; H01L 36/21; H01L 36/22; H01L 36/23; H01L 36/24; H01L 36/25; H01L 36/26; H01L 36/27; H01L 36/28; H01L 36/29; H01L 36/30; H01L 36/31; H01L 36/32; H01L 36/33; H01L 36/34; H01L 36/35; H01L 36/36; H01L 36/37; H01L 36/38; H01L 36/39; H01L 36/40; H01L 36/41; H01L 36/42; H01L 36/43; H01L 36/44; H01L 36/45; H01L 36/46; H01L 36/47; H01L 36/48; H01L 36/49; H01L 36/50; H01L 36/51; H01L 36/52; H01L 36/53; H01L 36/54; H01L 36/55; H01L 36/56; H01L 36/57; H01L 36/58; H01L 36/59; H01L 36/60; H01L 36/61; H01L 36/62; H01L 36/63; H01L 36/64; H01L 36/65; H01L 36/66; H01L 36/67; H01L 36/68; H01L 36/69; H01L 36/70; H01L 36/71; H01L 36/72; H01L 36/73; H01L 36/74; H01L 36/75; H01L 36/76; H01L 36/77; H01L 36/78; H01L 36/79; H01L 36/80; H01L 36/81; H01L 36/82; H01L 36/83; H01L 36/84; H01L 36/85; H01L 36/86; H01L 36/87; H01L 36/88; H01L 36/89; H01L 36/90; H01L 36/91; H01L 36/92; H01L 36/93; H01L 36/94; H01L 36/95; H01L 36/96; H01L 36/97; H01L 36/98; H01L 36/99; H01L 37/00; H01L 37/01; H01L 37/02; H01L 37/03; H01L 37/04; H01L 37/05; H01L 37/06; H01L 37/07; H01L 37/08; H01L 37/09; H01L 37/10; H01L 37/11; H01L 37/12; H01L 37/13; H01L 37/14; H01L 37/15; H01L 37/16; H01L 37/17; H01L 37/18; H01L 37/19; H01L 37/20; H01L 37/21; H01L 37/22; H01L 37/23; H01L 37/24; H01L 37/25; H01L 37/26; H01L 37/27; H01L 37/28; H01L 37/29; H01L 37/30; H01L 37/31; H01L 37/32; H01L 37/33; H01L 37/34; H01L 37/35; H01L 37/36; H01L 37/37; H01L 37/38; H01L 37/39; H01L 37/40; H01L 37/41; H01L 37/42; H01L 37/43; H01L 37/44; H01L 37/45; H01L 37/46; H01L 37/47; H01L 37/48; H01L 37/49; H01L 37/50; H01L 37/51; H01L 37/52; H01L 37/53; H01L 37/54; H01L 37/55; H01L 37/56; H01L 37/57; H01L 37/58; H01L 37/59; H01L 37/60; H01L 37/61; H01L 37/62; H01L 37/63; H01L 37/64; H01L 37/65; H01L 37/66; H01L 37/67; H01L 37/68; H01L 37/69; H01L 37/70; H01L 37/71; H01L 37/72; H01L 37/73; H01L 37/74; H01L 37/75; H01L 37/76; H01L 37/77; H01L 37/78; H01L 37/79; H01L 37/80; H01L 37/81; H01L 37/82; H01L 37/83; H01L 37/84; H01L 37/85; H01L 37/86; H01L 37/87; H01L 37/88; H01L 37/89; H01L 37/90; H01L 37/91; H01L 37/92; H01L 37/93; H01L 37/94; H01L 37/95; H01L 37/96; H01L 37/97; H01L 37/98; H01L 37/99; H01L 38/00; H01L 38/01; H01L 38/02; H01L 3

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107108

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

G 0 2 F 1/136

H 0 1 L 21/268

21/768

27/12

5 0 0

H 0 1 L 29/78

G 0 2 F 1/136

H 0 1 L 21/268

27/12

21/90

6 1 2 B

5 0 0

Z

R

Z

審査請求 未請求 請求項の数19 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平8-205073

(22) 出願日 平成8年(1996)8月2日

(31) 優先権主張番号 特願平7-199981

(32) 優先日 平7(1995)8月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

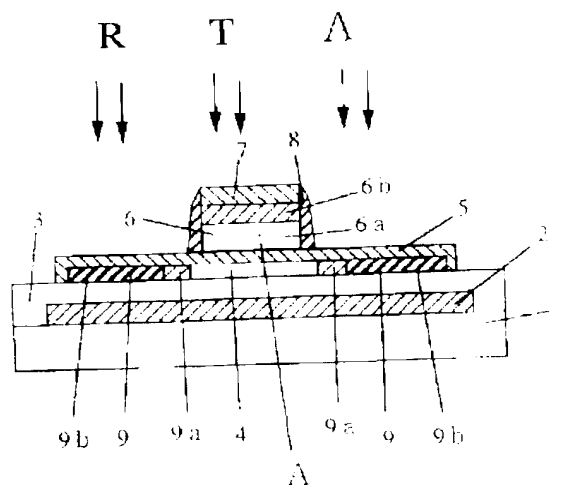
最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】

【課題】 熱処理の際の基板の変形を防止すること

【解決手段】 ガラス基板1とTFT(A)との間にWSi膜2を形成する。このWSi膜2は、不純物活性化の際のTFT(A)の熱を吸収する作用があり、多結晶Si膜1をTFT(A)による熱とWSi膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶Si膜1全体を均一に加熱し、不純物の活性化が均一かつことなく良好に行われるようにする。そして、このWSi膜2の面積を、画素部1-1に位置するものより周辺駆動回路部1-2に位置するものの方が大きくなるように調整する。



## 【特許請求の範囲】

【請求項1】 基板上に複数の半導体素子を集積させたものであって、前記各半導体素子が前記基板と半導体素子との間に設けられた熱吸収膜を有し前記基板上にはおける前記半導体素子の分布状態にあわせて、半導体素子が相対的に多く密集している個所の前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に低下させ、前記半導体素子が相対的に少ない個所の前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に増加させたことを特徴とする半導体装置

【請求項2】 基板上に複数の半導体スイッチング素子を集積させた半導体装置であって、前記各半導体スイッチング素子が、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記基板上での前記半導体スイッチング素子の分布状態にあわせて、前記半導体スイッチング素子が相対的に多く密集している個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に低下させ、前記半導体スイッチング素子が相対的に少ない個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に増加させた半導体装置

【請求項3】 前記熱吸収膜による熱吸収効果を、熱吸収膜の面積や膜厚を変化することにより調整することを特徴とした請求項1または2に記載の半導体装置

【請求項4】 基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させた表示装置

【請求項5】 画素部と周辺駆動回路部とを有し、基板上に形成された半導体素子（半導体膜）の表示装置において、基板上に形成された熱吸収膜と、この熱吸収膜上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備した半導体スイッチング素子と、前記画素部における画素駆動用素子及び前記周辺駆動回路部における周辺駆動回路用素子として用い、前記画素部における熱吸収膜の熱吸収効果を、前記周辺駆

動回路部における熱吸収膜の熱吸収効果を、前記周辺駆動回路用素子とを備え、前記画素部駆動用素子内及び前記周辺駆動回路用素子が半導体スイッチング素子から構成され、前記半導体スイッチング素子が、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記画素部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または膜厚の比率を、前記周辺駆動回路部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または膜厚の比率と比較して大きくするよう設定した表示装置

【請求項6】 前記画素部内の前記熱吸収膜の面積が、前記画素部全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項7】 周辺駆動回路部内の前記熱吸収膜の面積が、前記周辺駆動回路部全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項8】 前記熱吸収膜の面積が、前記基板全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項9】 前記基板は、液晶層を挟んで相対向して設けられた一対の基板のうちの一の基板であることを特徴とした請求項1、2、3、4、5、6のうちいずれかに記載の表示装置

【請求項10】 前記熱吸収膜を前記半導体膜にほぼ対応して設けたことを特徴とする請求項5または6に記載の表示装置

【請求項11】 基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させた表示装置

【請求項12】 前記熱吸収膜の上に絶縁膜を形成したことを特徴とする請求項11または12に記載の表示装置

【請求項13】 前記熱吸収膜が、金属または金属シリサイドなどの導電物質又はシリコンなどの半導体物質であることを特徴とした請求項5または6、7、8、9、10、11に記載の表示装置

特許庁  
〒105-8565 東京都港区有明2-2-1  
特許部 特許第1470号 特許係長 佐藤 浩一

特許第1470号 特許係長 佐藤 浩一  
〒105-8565 東京都港区有明2-2-1  
特許部 特許第1470号 特許係長 佐藤 浩一

四

【請求項17】 前記熱吸収膜は、前記半導体素子とシリコン素子の製造過程で用いられる熱処理の熱を吸収する材料からなることを特徴とした請求項5乃至16のうちのいずれか1項に記載の表示装置

【請求項18】 前記熱処理として半導体法 (Solid Thermal Annealing) を用いることを特徴とした請求項17に記載の表示装置

【請求項17】 前記17A法の熱源としてキセノンランプを用いたことを特徴とする請求項18に記載の表示装置

【発明の詳細な説明】

$$\begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix}$$

【発明の属する技術分野】本発明は、薄膜トランジスタ(Thin Film Transistor)などの半導体装置及び液晶ディスプレイ(Liquid Crystal Display)などの表示装置に関するものである。

【0002】

【従来の技術】近年、アクティブマトリクス方式LEDの画素駆動要素として、画素駆動用トランジスタとして、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ（以下、多結晶シリコンTFTと）というの開発が進められている。

【0003】多結晶シリコンエドエは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンエドエを用いれば、高性能LEDを実現できる上に、画素部（表示部）だけでなく周辺駆動回路（ドライバ部）までを同一基板上に一体に形成することができる。

【0060】このような多結晶シリコンエトドにおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板上に堆積させる方法は、例として、CVD法を用い、高温下で堆積させるという比較的簡単な工程である。

【0007】また、非晶質シリコン膜を堆積した基板にこれを多結晶化するには、同相成長法の一般的である、この同相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。多結晶シリコン（以下、製造方法の一例を図1に及び図17に基づいて説明する。

【000007】《托尔斯泰的宗教观》——《哲学基础》(1951)

プラスチックの能動層として用いられるのに、ポリトリソク酸のイオン技術、膜形成法によるポリスライエーション技術により前記多結晶シリコン膜上に酸素水素相結合に加工する。

【０００７】前記多結晶シリコン膜をこの中に、液相ＭＣＤ法を用いて、ゲート絶縁膜３８としてのシリコン酸化物膜を堆積する。

工程(1) (4)1: 多層 (1) 前記のカーボン線膜 5.5 μm (2) 成膜圧: 1.0 気圧 (より多結晶シリコン) 膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行う。不純物を活性化する。

【COCUS】では、常圧CVD法により、多結晶シリコン膜の上にシリコン酸化膜を堆積した後、プラズマエッチング技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜を所定形状に加工する。前記多結晶シリコン膜は、ゲート電極層として使用する。次に、自己整合技術により、ゲート電極層及びシリコン酸化膜をマスクとして、多結晶シリコン膜上に不純物を注入し、ソース・ドレイン領域を形成する。

【0009】最後に、更に熱処理を行って、ソース・ドレイン領域としての不純物を活性化させる。このような方法は、固相成長や不純物活性化の時に900℃程度の高い温度を使用することから、高温プロセスと呼ばれている。また、熱処理にレーザービームアニール法やランプ法などを用いた低温プロセスを用いた開発も盛んに行われている。

【0010】

【発明の解決しようとする課題】従来例においては、例えば不純物の活性化が良好に行われていないなど、熱処理による熱が有効に活用されない問題がある。本発明は、半導体装置及び表示装置に関し、斯かる問題点を解決するものである。

【0011】

【課題を解決するための手段】請求項１に記載の半導体装置は、基板上に複数の半導体素子を集積させたものであり、前記各半導体素子が前記基板と半導体素子との間に設けられた熱吸収膜を有し、前記基板とは異なる前記半導体素子の分布密度に比べて、半導体素子の相対的に多量に集積している箇所、前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に低下させ、前記半導体素子が相対的に少ない箇所、前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に増加させたものである。

【例題 1-2】請根據圖 1-2 記述「半導体基置」之構造，並說明其熱電效應之物理原理。



かれない程度にNの上限を設定する必要がある。

【0025】工程2(図2参照)：前記Wシリサイド膜2を、リソグラフィ技術、エッチング技術を用いて、後述するトランジスタの能動層としての多結晶シリコンと同じパターンを加工する。

工程3(図3参照)：前記基板1及びWシリサイド膜2を露すように、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ などの絶縁性薄膜3を、CVD法やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に常圧又は減圧CVD法により、形成温度350℃で、膜厚5000～50000Åの $\text{SiO}_2$ 膜を形成する。

【0026】この $\text{SiO}_2$ 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの $\text{SiO}_2$ 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合がもっとも適している。また、絶縁性薄膜3として $\text{Si}_3\text{N}_4$ を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0027】工程4(図4参照)：前記絶縁性薄膜3の上に、非晶質シリコン膜4を膜厚500Åを形成する。この非晶質シリコン膜4をTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜4の膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合がもっとも適している。

【0028】前記非晶質シリコン膜4の形成方法には以下のものがある。

①減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン( $\text{SiH}_4$ )又はジシラン( $\text{Si}_2\text{H}_6$ )の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質シリコン膜としては多結晶となり、550～600℃では微結晶を含む非晶質が多くなり、温度が低くなると非晶質に比べて微結晶が少なくなる。従って、温度条件を変えただけで、非晶質シリコン膜4中の微結晶の量を調整することができる。

【0029】②プラズマCVD法を用いる方法：プラズマCVD法では非晶質シリコン膜が形成されるが、プラズ

マ波長λ=248nmのエキシマレーザービームを走査してプラズマ処理を行い、非晶質シリコン膜4を溶融再結晶化して、多結晶シリコン膜4を形成する。

【0030】この時のレーザー条件は、プラズマ雰囲気：1×10<sup>-3</sup>Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec(実際には、0.1～1000mm/secの範囲の速度で走査可能)である。前記レーザービームとしては、波長λ=248nmのエキシマレーザーを使用してもよい。この時のレーザー条件は、プラズマ雰囲気：1×10<sup>-3</sup>Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec(実際には、0.1～1000mm/secの範囲の速度で走査可能)である。

【0031】また、波長λ=193nmのArFエキシマレーザーを使用してもよい。この場合のレーザー条件は、プラズマ雰囲気：1×10<sup>-3</sup>Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/secである。いずれのレーザービームを用いても、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大きさの粒径が得られるように、エネルギー密度を調整すればよい。

【0032】本実施例では、このエキシマレーザーは、高スルーストレーザー照射法を用いる。即ち、図14において、101はArFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0033】このような構成において、高スルーストレーザー照射法とは、レーザービーム制御光学系103によってシート状に15mm×0.5mmに加工されたレーザービームを、絶縁体4の中心合わせに100回する方法に、レーザー走査を併用して90度照射を完全同期させることによって高精度の走査を行うものを照射することであり、これを説明するものである。

【0034】工程5(図5参照)：前記多結晶シリコン膜4を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、ドライ法によるドライエッチング技術により前記多結晶シリコン膜4を所定形状に加工する。そして、前記多結晶シリコン膜4上に、図15(a)の減圧CVD法で形成された膜5を形成する。

0030A)を堆積する。この非晶質シリコン膜6aは、その形成時に不純物（N型ならヒ素やリン、P型ならホウ素）がドーパされているが、アモルファス状態で堆積し、その後に不純物を注ぎてもよい（図2）。スパッタ法を用い、前記非晶質シリコン膜6aの上面にタンタルシリサイド（WSi<sub>2</sub>）膜6b（膜厚1000Å）を形成する。

【0031】そして、常圧CVD法により、前記Wシリサイド膜6bの上面にシリコ、酸化膜7を堆積した後、プラズマグラフト技術、RPD法によるドライエッチング技術を用いて、前記多結晶シリコン膜6a、Wシリサイド膜6b及びシリコン酸化膜7を所定形状に加工作る。前記非晶質シリコン膜6aは、前記Wシリサイド膜6bとともにポリサイド構造のゲート電極6として使用する。

【0035】工程8（図8参照）：前記ゲート絶縁膜5及びシリコン酸化膜7の上面、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極6及びシリコン酸化膜7の側方にサイドウォール8を形成する。そして、自己整合技術により、サイドウォール8をマスクとして、多結晶シリコン膜4に、加速電圧：50KV、ドーズ量3 $\times 10^{17}$ ions/cm<sup>2</sup>の条件で、リン（P）イオンを不純物として注入し、低濃度の不純物領域9aを形成する。

【0036】工程9（図9参照）：前記サイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧：80KV、ドーズ量1 $\times 10^{17}$ ions/cm<sup>2</sup>の条件で、リン（P）イオンを不純物として注入し、高濃度の不純物領域9bを形成することにより、LDD（Lightly Doped Drain）構造のソース・ドレイン領域9を形成する。

【0037】工程10（図10参照）：この状態で、RTA（Rapid Thermal Annealing）法による急速加熱を行う。即ち、図15において、105はシート抵抗のアナログ光を発する光源であり、セリ（ $\text{SiO}_2$ ）とアークランプ106とそれを含む反射鏡107を主組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのワーク、109は加熱用のワリヒーター、110は加熱後の基板が急激に冷却されてひび割れしないようにするための補助ヒーターである。

【0038】このように構成になつて、基板1をワリヒーター109で予熱した後、シート抵抗アークランプ107を点灯し、反射鏡107を移動して、光源108及び

【0039】同、基板1に対して、急激に高い温度を加えることが可能である。ここで、加熱回に分けて行つてもよい。即ち、各回の時間は1～5秒とし、回を重ねる毎に温度を、初回：100℃、最終回：700～900℃というように段階的に上昇させる。より具体的に、窒素（N<sub>2</sub>）雰囲気中で、加熱を例えは6回に分けて行い、各回ごとの処理温度が段階的に上昇するように設定してもよい。例えば、初回：1回目：100℃、2回目：500℃、3回目：500℃、4回目：600℃、5回目：650℃、最終回（6回目）：700℃とし、徐々に温度を上昇させる。これにより、基板が収縮たり破損したりすることの少ないことができる。各回の処理時間は例えは1～5秒である。

【0040】温度の調整は、初回は前記N<sub>2</sub>アークランプを点灯せず、ワリヒーターの熱を用い、2回目以降は、N<sub>2</sub>アークランプのハワースを1KW～7KWの範囲で変更することにより行うことができる。前記N<sub>2</sub>アークランプの光熱は、多結晶部よりも非晶質部をシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、（ゲート）配線の低抵抗化や不純物の活性化に達している。また、後述するようにWシリサイド膜を用いた加熱も有効に行うことができる。

【0041】そして、この急速加熱により、前記ソース・ドレイン領域9の不純物が活性化するとともに前記非晶質シリコン膜6aが多結晶化され、更に、この多結晶シリコン膜6aとWシリサイド膜6bとによるポリサイド構造のゲート電極6のシート抵抗が、約200～250Ω（ $\square$ にまで下がる。また、活性化処理を行ったソース・ドレイン領域6のシート抵抗も、n型で1～1.5kΩ、p型で1～1.5kΩ（ $\square$ ）と、高温プロセスで用いられる拡散抵抗による高温熱処理と同等のものとなる。

【0042】特に、本実施例では、多結晶シリコン膜1に対応して、その下方にWシリサイド膜2を形成している。このWシリサイド膜2は、主として熱を吸収する作用があり、熱を吸収したWシリサイド膜2からの放射熱はすべて前記多結晶シリコン膜1の不純物の活性化が行われる。即ち、多結晶シリコン膜1を、N<sub>2</sub>アークランプによる熱とWシリサイド膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶シリコン膜1全体を均一に加熱し、活性化がバラツキをなく良好に行われるようになる。

【0043】Wシリサイド膜2の大きさはい、基本的に、多結晶シリコン膜1を覆う程度でよい。但し、本実施例

図15は、本実施例の工程10の加熱装置の概略図である。

図16は、本実施例の工程10の加熱装置の概略図である。

り、均一な熱処理が行われ、また、Wシリサイド膜が集中する場所での温度が非常に高くなって基板1が変形する場合がある。そこで、下層に配置した熱吸収膜の単位面積当たりの密度を、その上層に形成されるパターンに倣った形状に一定となるようにすれば、工程Aで活性化するときの温度分布の偏りを解消することができる。具体的にドライバーク体素部11に比べて、ドライバ部1に比べて画素部のトランジスタの密度が高いので、ドライバ部のトランジスタに対応するWシリサイド膜2の大きさを、画素部のそれに比べて大きくしてやることで、基板1全体の温度分布がほぼ均一になる。

【0041】110Dパネルにおいては、回路面積の約10%がWシリサイド膜2となるように調整することが好ましい。この工程により、多結晶シリコンTFT(A)が形成される。次に、上記のように製造された多結晶シリコンTFT(A)を画素駆動素子として用いた透過型構成をとる110Dの画素部の構成を図11に基づいて説明する。

【0045】工程①：層間絶縁膜11の形成に先立ち、スパッタ法により、前記基板1の画素部領域上にITO(Indium Tin Oxide)からなる補助容量の蓄積電極12を形成する。

工程②：デバイスの全面に絶縁膜13を形成する。絶縁膜13の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法又はLPCVD法が用いられる。

【0046】次に、絶縁膜13にソース・ドレイン電極14とコンタクトするためのコンタクトホールを形成し、スパッタ法により、そのコンタクトホールを含むデバイスの全面にITO膜を形成し、そのITO膜をパターンニングして表示電極15を形成する。

工程③：多結晶シリコンTFT(A)が形成された透明絶縁基板1を、表面に共通電極16が形成された透明絶縁基板17とを相対向きせ、各基板1、17の間に液晶を封入して液晶層18を形成する。その結果、110Dの画素部が完成する。

【0047】次に、図12に本実施例におけるゲータ・データ駆動方式の110Dの回路構成図を示す。画素部10には各走査線(ゲート配線)G1、G2、G3、G4、G5と各データ線(ドレイ配線)D1、D2、D3、D4、D5とが配置されている。各ゲート配線と各ドレイ配線とをそれぞれ直交し、その直交部分に画素20が設けられている。そして、各ゲート配線は、ゲートドライバ21に接続され、ゲート信号、走査信号が印加されるように構成される。また、ドレイ配線は、データドライバ

22ともいわれる一方を画素部10を同一基板上に形成した110Dは、一般にドライバーク体素・ドレイバーク体素・110Dと呼ばれている。尚、ゲートドライバ21から、画素部10の両端に設けられている場合もある。また、ドレイバーク体素22から、画素部10の両側に設けられている場合もある。

【0049】この周辺駆動回路部23のスイッチング用素子にも前記多結晶シリコンTFT(A)と同等の製造方法で作成した多結晶シリコンTFT(A)を用いており、多結晶シリコンTFT(A)の作製は、同一基板上に形成される。尚、この周辺駆動回路部23を用いた多結晶シリコンTFTは、110D構造ではなく、通常のシングルドレイン構造を採用している(もちろん、110D構造であってもよい)。

【0050】また、この周辺駆動回路部23の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ21、22としての寸法の縮小化を実現している。図13にゲート配線Gnとドレイ配線Dmとの直交部分に設けられている画素20の等価回路を示す。

【0051】画素20は、画素駆動素子としてのTFT(A)〔前記薄膜トランジスタAと同様〕、液晶セル10、補助要領CSから構成される。ゲート配線GnにはTFTのゲートが接続され、ドレイ配線DmにはTFTのドレインが接続されている。そして、TFTのソースは、液晶セル10の表示電極(画素電極)と補助容量(蓄積電容量又は付加容量)CSとが接続されている。

【0052】この液晶セル10と補助容量CSとにより、信号蓄積素子が構成される。液晶セル10の共通電極(表示電極の反対側の電極)には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極には定電圧VHが印加されている。この液晶セル10の共通電極は、文字通り全ての画素20に対して共通した電極となっている。そして、液晶セル10の表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極は、ゲート配線Gn+と接続されている場合もある。

【0053】このような構成された画素20において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、TFTのドレイ配線Dmに印加されたゲータ信号で、液晶セル10の静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にして、TFTのゲートに負電圧を印加すると、TFTがオフとなり、TFTのドレイ配線Dmは充電されず、液晶セル10の静電容量

【0040】また、図10に示すように、画素部10の両端にドライバ21、22を設けることも可能である。

【0041】また、図10に示すように、画素部10の両側にドライバ21、22を設けることも可能である。

【0042】また、図10に示すように、画素部10の両端にドライバ21、22を設けることも可能である。

【0043】また、図10に示すように、画素部10の両側にドライバ21、22を設けることも可能である。





又、次のサイズ(W=1.1、S=1.0)の面積に比べて、1.1×S以下のサイズ(W=1.1、S=0.5)の面積に縮小することができる。更には、高品質の能動層であるため、トランジスタのON/OFF時のリーク電流も少なく、その結果、補助電流の面積も1.1×S以下に縮小することができる。

【０００６】具体的には、サイズ２、４型で、画素数（ $500 \times 500$ ）（H） $\times m \times 150$ （V） $\times 2$ 、画素数：２３万ドット（ $820 \times 576$ ）（ $210$ ）と、従来型のパネルに比べて３倍以上の高密度画素を有しながら、８５％という高開口率（透光比：１／５倍）のものを得ることができ、高輝度化を実現できる。以上の実施形態は以下のように変更してもよい。その場合でも同様の作用、効果を得ることができる。

【0066】1) Wシリサイド膜2)に代えて、非結晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドーパされている。このように、導電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、TFTを、LSTに用いられるMOSトランジスタのように半導きデバイスとして動作させて、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位によるTFTへの悪影響を防止することができる。

【0068】2) Wシリサイド膜2に代えて、 $\text{MoSi}_2$ 、 $\text{TiSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{CoSi}_2$ などの高融点金属シリサイド、その他 W、Mo、Cr、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には約4500℃以下、AlやAgなどのいわゆる低融点金属を用いてもよい。Wシリサイド膜も含めて、これらの金属膜は、光を遮る性質を有しているため、以下の通りの効果を有する。

【01069】 $\gamma$ ・光の散乱を防止すると共に液晶セルに斜めから入射とする不要な光を遮るので、1.010がバイスと上げるとトランスが高くなる。

100℃以下に大気中をさらすことで、5%以下の一  
次電流を減少させて100℃以下に、特性を向上させるた  
めに光による主成分自身劣化を防止する。

【0070】8) 工程4において、非晶質シリコン膜を剥離した方法により、例示は、モノシランガスを高い圧度で800℃で堆積させる。これにより、非晶質シリコン膜または微結晶を含んだ膜となり、微結晶を含んだ非晶質シリコン膜を同組成法により多晶化する。ことに、1000℃で堆積させることで4000Åに成長し得る。

を法方と定むるべし。又、同様に、歩け方、一歩の歩法によつて形成する。

(5) 多結晶シリコン膜上のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコン膜上に必要な値電圧(Vth)を制御する。固相成長法で形成した多結晶シリコン膜下層においては、Nチャネルトランジスタではチャネルエッチング方向にしきい値電圧がシフトし、Pチャネルトランジスタではエンハンスメント方向にしきい値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきい値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングする必要がある。

【0072】( ) 前記工程5に代り、以下の工程を行

工程5: 電気炉により、窒素(N)雰囲気中、温度600°C程度で約20時間の熱処理を行うことにより、前記非晶質シリコン膜1を固相成長させて多結晶シリコン膜4を形成する。

7) 上程より形成したこの多結晶シリコン膜上は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残って、ば可能性があり、リーク電流が多くなる危惧がある。

【0073】そこで、工程50の後、基板1をドライエッチ（またはレーザーアブレーション法により急速加熱し、多結晶シリコン膜2の膜質を改善する

8) 工程1や工程7において、スハッタ法以外のCVD方法(真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスターイオンビーム法など)を用いて、WSiリサイド膜1、6を形成する。この場合にも、前記したスハッタ法の場合と同様の理由により、WSiリサイド(WSi<sub>1</sub>)の組成をN<sub>2</sub>に設定する。

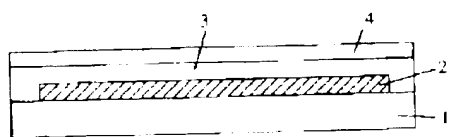
【0074】9) 工程1と工程7において、W膜を用いてWシリサイド膜1、6bを形成する。そのソースガスとしては、六フッ化ウランヘキシル(WF<sub>6</sub>)とシリコン(SiH<sub>4</sub>)を用いるが、1)の成膜温度は、1)と2)の前後と異なる。この場合、1)の前記したように、成膜の割合と成膜の理由は、1)と2)と異なる(WF<sub>6</sub>とSiH<sub>4</sub>の組成を異にしに設定する)。工程1と2)とは、1)と2)と比べ、段差被覆性が劣っているため、Wシリサイド膜の膜厚をより均一にする必要が生じる。

【0075】(1) 第一型は、図1に示すように、第一型、第二型、及び第三型の直方体構造の多結晶質材料を上下に連続して形成する。

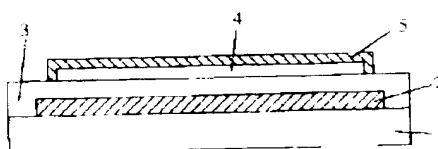
$$1 - \frac{1}{2} \left( \frac{1}{2} \right)^{2n-1} \left( \frac{1}{2} \right)^{2n-1} = \frac{1}{2} \left( \frac{1}{2} \right)^{2n-1} = \frac{1}{2^{2n}} = \frac{1}{4^n}.$$



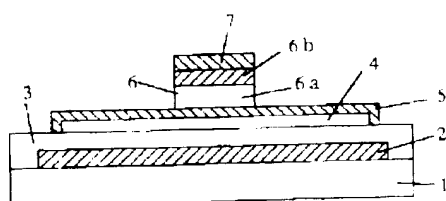
【図5】



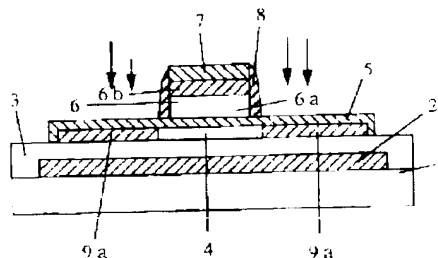
【図6】



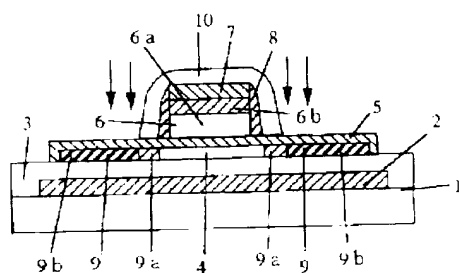
【図7】



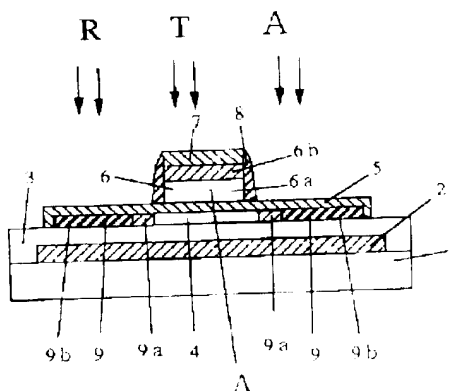
【図8】



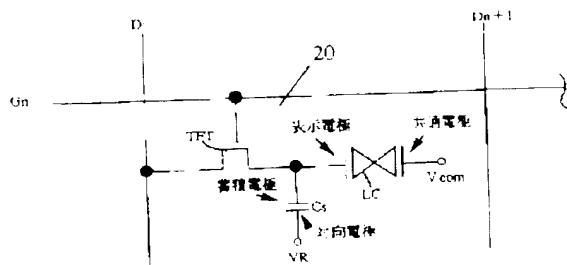
【図9】



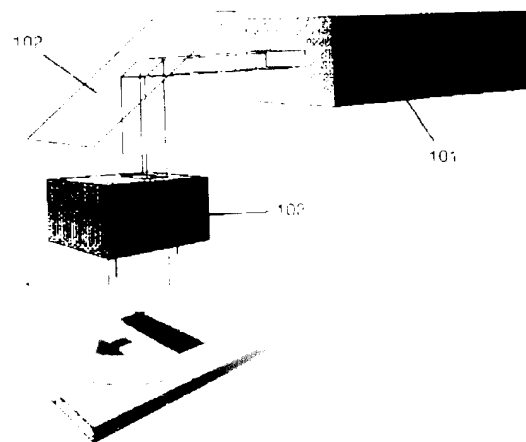
【図10】



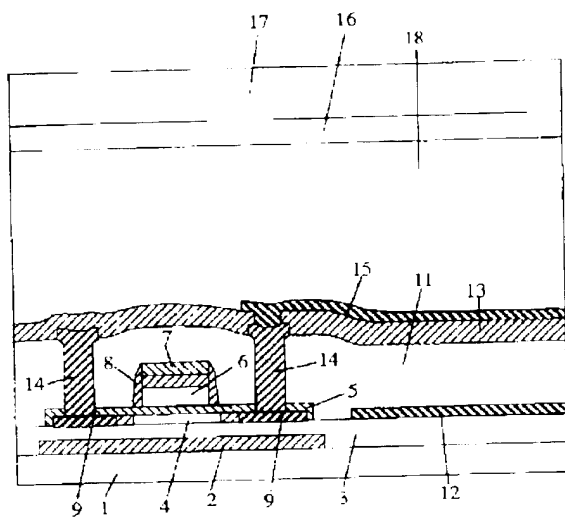
【図11】



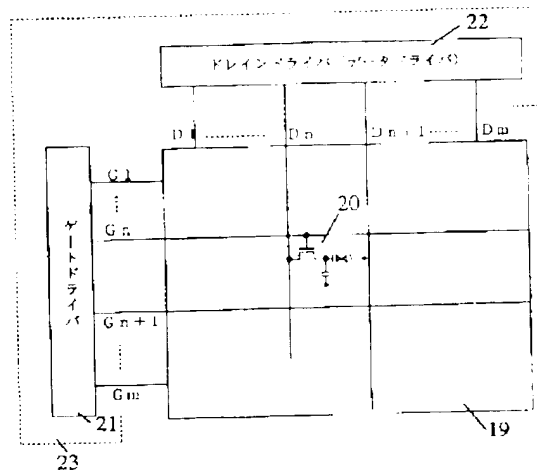
【図12】



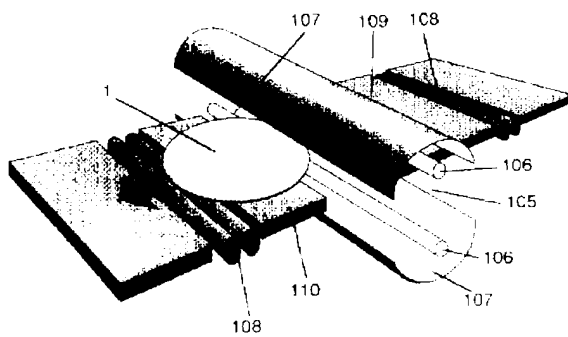
【図11】



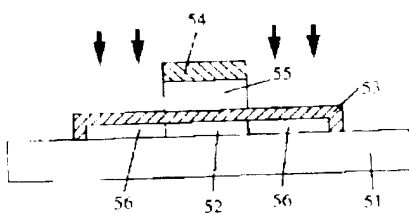
【図12】



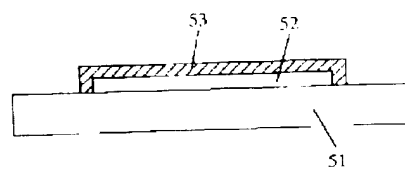
【図15】



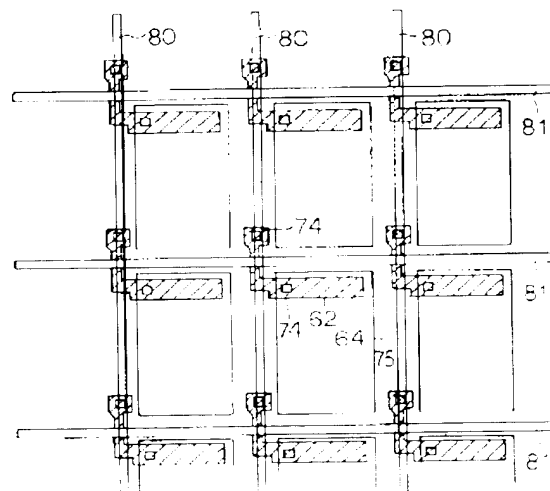
【図17】



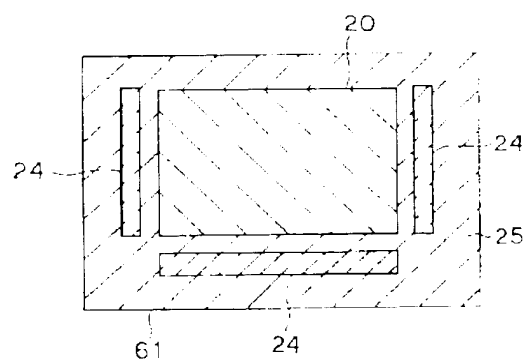
【図16】



【図18】



【図20】



フロントページの続き

(51)Int.Cl.  
H01L 21/580

識別記号 頁内整理番号

F1  
H01L 29/58

技術表出箇所

62607  
62703

(72)発明者 森本 佳宏  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 木田 清  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内